

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 28 日 (28.07.2005)

PCT

(10) 国際公開番号
WO 2005/069381 A1

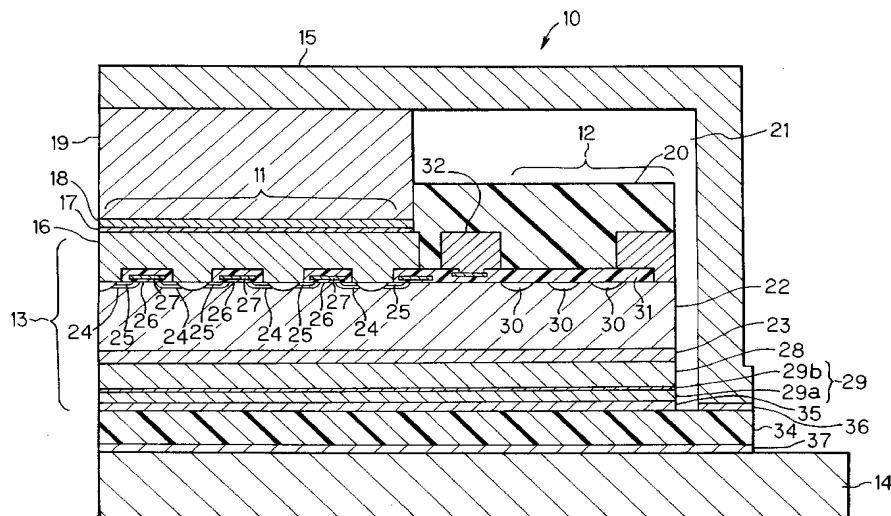
(51) 国際特許分類: H01L 29/78, 23/48
(21) 国際出願番号: PCT/JP2004/018102
(22) 国際出願日: 2004 年 11 月 30 日 (30.11.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-008022 2004 年 1 月 15 日 (15.01.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 本田技研工業株式会社 (HONDA MOTOR CO., LTD.) [JP/JP]; 〒107-8556 東京都 港区 南青山二丁目 1 番 1 号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 北村 謙二 (KI-TAMURA, Kenji) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 1 〇 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 谷高 真一 (YATAKA, Shinichi) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 1 〇 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 遠藤 陸男 (ENDO, Takao) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 1 〇 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 富永 雄二郎 (TOMI-NAGA, Yuujiro) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 1 〇 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 田中 俊秀 (TANAKA, Toshihide) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 1 〇 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 佐藤 浩一郎 (SATO, Koichiro) [JP/JP]; 〒350-1381 埼玉

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MODULE STRUCTURE

(54) 発明の名称: 半導体装置のモジュール構造



(57) Abstract: A semiconductor module includes: a semiconductor element (13) having a working unit (11) and a guard ring unit (12); and heat radiation members (15, 14) arranged on the upper surface and the lower surface of the semiconductor element for cooling the semiconductor element. A passivation film (20) covers the guard ring but does not cover the working unit. The upper heat radiation member (15) is made of a flat metal plate connected to the working unit without contact with the passivation film. The upper heat radiation member is connected to the lower heat radiation member (14) in the thermo-conducting way.

(57) 要約: 本発明の半導体モジュールは、作動部(11)とガードリング部(12)とを有する半導体素子(13)と、該半導体素子の上面および下面に設けられて該半導体素子を冷却する上下の放熱部材(15,14)とから成る。パッシベーション膜(20)は、ガードリング部を覆っているが、作動部を覆っていない。上部放熱部(15)は、前記パッシベーション膜に非接触となるよう作動部に接続された金属平板からなる。上部放熱部と下部放熱部(14)とは熱伝導可能に接続されている。



WO 2005/069381 A1



県 狭山市 新狭山 1 丁目 1 0 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP).

(74) 代理人: 下田 容一郎, 外(SHIMODA, Yo-ichiro et al.);
〒107-0052 東京都 港区 赤坂 1 丁目 1 番 1 2 号 明産
溜池ビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

- 1 -

明 細 書

半導体装置のモジュール構造

技術分野

本発明は、半導体装置のモジュール構造に関し、特に、絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar Transistor）（ＩＧＢＴ）等のパワーデバイスを含む半導体装置でのデバイス上部に放熱機構を備えた半導体装置のモジュール構造に関する。

背景技術

比較的大電流を制御するスイッチング半導体素子としてパワーデバイスが知られている。パワーデバイスにはパワートランジスタやパワーＭＯＳＦＥＴ、ＩＧＢＴ等がある。このうちＩＧＢＴは、電圧駆動による駆動の容易性と伝導度変調効果による低損失性の長所を持つデバイスとして電動車両のインバータ等に用いられている。

図５は、従来のＩＧＢＴモジュールの構造を示している。従来のＩＧＢＴモジュール１００は、作動部１０１とガードリング部１０２を備えた半導体素子１０３を冷却する放熱板１０４を備えている。放熱板１０４は、作動部１０１とガードリング部１０２の下部に設けられた絶縁体からなる基板１０５に接合された下部放熱板から成る。半導体素子１０３はＩＧＢＴからなる。

作動部１０１は、第１導電型（Ｎ型）半導体の高抵抗層１０６と、その下部に位置する第１導電型（Ｎ⁺型）半導体のバッファ層１０７と、第１導電型半導体の高抵抗層１０６の上部に形成された第２導電型（Ｐ型）半導体のベース層１０８と、該ベース層１０８の上部に形成された第１導電型（Ｎ型）半導体のエミッタ領域１０９と、該エミッタ領域１０９に接触されるエミッタ電極１１０と、第２導電型半導体のベース層１０８のチャネル領域上に絶縁体１１１で絶縁して形成されたゲート電極１１２からなる。

第１導電型半導体のバッファ層１０７の下面には、第２導電型（Ｐ⁺型）半

- 2 -

導体のコレクタ層 113 が形成されている。このコレクタ層 113 には、コレクタ電極 114 が接触されている。

ガードリング部 102 は、N 型半導体層 106 の上部に形成された第 2 導電型（P 型）半導体層 115 と、該半導体層 115 の上部に堆積された SiO_2 等の絶縁膜 116 とを有する。参照番号 117 はゲート電極引き回し線である。

作動部 101 とガードリング部 102 の上で、エミッタ電極 110 の一部の上と絶縁膜 116 の上には、リーク電流抑制のために、絶縁膜 116 である SiO_2 が剥き出しにならないようにポリイミド等のパッシベーション膜 118 で表面を覆う。

半導体素子 103 を構成する半導体はシリコン（ Si ）からなる。エミッタ電極 110 はアルミニウムシリコン（ AlSi ）からなる。コレクタ電極 114 は銀（ Ag ）や金（ Au ）からなる金属 114a とニッケル（ Ni ）からなる金属 114b で形成されている。コレクタ電極 114 と基板 105 は半田 119 で接合されている。エミッタ電極 110 からはアルミニウム等からなるワイヤ 120 で配線されている。放熱板 104 はアルミニウムや銅等で形成される。基板 105 は放熱板 104 に半田 121 で接合されている。

図 6 は、従来のダイオードモジュールの構造を示している。図 6 に示したダイオードモジュール 200 は、作動部 201 とガードリング部 202 を備えた半導体素子 203 を冷却する放熱板 204 を備えている。放熱板 204 は、作動部 201 とガードリング部 202 の下部に設けられた絶縁体からなる基板 205 に接合されている。半導体素子 203 はダイオードである。

作動部 201 は、第 1 導電型（N 型）半導体の高抵抗層 206 と、その下部に位置する第 1 導電型（ N^+ 型）の半導体層 207 と、第 1 導電型半導体の高抵抗層 206 の上部に形成された第 2 導電型（ P^+ 型）の半導体層 208 と、第 2 導電型の半導体層 208 に接触されたカソード電極 209 と、第 1 導電型の半導体層 207 に接触されたアノード電極 210 からなる。

ガードリング部 202 は、N 型半導体層 206 の上部に形成された第 2 導電型（P 型）半導体層 211 と、該半導体層 211 の上部に堆積された SiO_2 等の絶縁体 212 とから成る。カソード電極 209 の一部の上と SiO_2 からなる

- 3 -

絶縁体 212 の上には、リーク電流抑制のために、 SiO_2 が剥き出しにならないようにポリイミド等のパッシベーション膜 213 で表面を覆う。

半導体素子 203 を構成する半導体はシリコン (Si) である。カソード電極 209 はアルミニウムシリコン (AlSi) やアルミニウム／チタンニッケル／チタン (Al/TiNi/Ti) である。アノード電極 210 は銀 (Ag) や金 (Au) 等の金属 210a とニッケル (Ni) 等の金属 210b から成る。アノード電極 210 と基板 205 とは半田 214 で接合されている。カソード電極 209 からはアルミニウム等からなるワイヤ 215 で配線されている。放熱板 204 はアルミニウムや銅等で形成される。基板 205 は放熱板 204 に半田 216 で接合されている。

これらパワーデバイスを電動車両のインバータ等に用いると、数百アンペア (A) 程度の大電流が流れて半導体素子自身が発熱する。そのため、従来は半導体素子の下部 (コレクタ電極側) にヒートシンクや水冷機構を設けて冷却していた。しかしながら、半導体素子上面側のセルが冷却されず、セルが破壊されることがあった。

これに対し、半導体素子の上面側に平面の金属板 (ストラップ) を備え、電極からのリードと放熱板を兼ねることにより、半導体素子上面から放熱を行う技術が、例えば、特開 2000-124398 号、特開 2000-156439 号、および特開 2002-33445 号において提案されている。

例えば、特開 2000-124398 号では、絶縁基板上に装着されたパワー半導体チップおよび金属平板によって形成され、上記パワー半導体チップの電極部と対向する電極対向部と、この電極対向部から折曲されて延在する立ち上げ部と、この立ち上げ部に連なる導出部とを有する配線部材を備えたパワー半導体モジュールにおいて、上記パワー半導体チップの電極部と、上記配線部材の電極対向部とを導電性樹脂によって接合するようにしたパワー半導体モジュールが開示されている。

特開 2000-156439 号では、パワー半導体素子が、その下面が放熱板上に搭載されて筐体内に収納されるパワー半導体モジュールにおいて、上記パワー半導体素子の上面と上記放熱板上とに接合される平板状またはブロック状の

- 4 -

放熱部材を備え、放熱部材を介して上記半導体素子の上面から、上記放熱板に放熱するようにしたパワー半導体モジュールが開示されている。

特開 2002-33445 号では、メインフレーム上に 2 またはそれ以上のパワー素子を配して形成される半導体装置であって、金属の接続用フレームを介して少なくともパワー素子の活性面どうしを接続するようにした半導体装置が開示されている。

このように、半導体素子の上面側に平面の金属板（ストラップ）を備え、素子上面から放熱を行うようにした半導体装置においては、半導体素子上面とストラップとを、ハンダや導電性樹脂などの導電性、およびある程度の熱伝導度を備えた接着剤により電氣的に接続している。

そのため、特開 2000-124398 号、特開 2000-156439 号、および特開 2002-33445 号に開示されている半導体素子の上面側に平面の金属板（ストラップ）を備えて素子上面から放熱を行う技術では、パッシベーション膜直下に形成されたセルとそれ以外のセルとで放熱特性が大幅に異なる。この様な状態でセルが動作すると電流が流れ、ジュール熱が発生し、ラッチアップ現象が起きやすくなる。ラッチアップが起きると、局所的に電流が流れ高熱が発生して、PN 接合が破壊するなどのセル破壊の原因になっていた。

また、この場合、金属であるストラップの熱膨張係数が、半導体素子（Si）とパッシベーション膜（ポリイミド、SiN、SiO、SiON、PSG（Phosphorous Silicate Glass）、SiO₂、NSG（Nondoped Silicate Glass）等）または、シリコン基板の熱膨張係数と異なるため、半導体素子自身の発熱や熱衝撃試験時の熱衝撃によりパッシベーション膜下のガードリング部に横方向の応力がかかり、ガードリング部のシリコン基板にクラックが発生する。このクラックにより、結果として耐圧低下を引き起こす。

また、従来の半導体素子では、パッシベーション膜を、パターン加工時に起きるサイドエッジを考慮し、セル領域のエミッタ電極上部まで形成していた。

そこで、半導体素子の上面から放熱を行う構造でのストラップと半導体素子とパッシベーション膜との熱膨張係数の違いによるガードリング部に発生する応力によって生じる耐圧低下の問題を解消すること、およびパッシベーション膜直

- 5 -

下のセルとそれ以外のセルとで放熱特性が大幅に異なるために生じるセル破壊の問題を解消することの技術が望まれている。

発明の開示

本発明においては、半導体装置のモジュール構造であって、第1導電型の高抵抗層と、前記第1導電型の高抵抗層の上部に形成された第2導電型のベース層と、前記第2導電型のベース層の上部に形成された第1導電型のエミッタ領域と、前記エミッタ領域に接続されるエミッタ電極と、前記第2導電型のベース層に隣接して絶縁されたゲート電極と、前記エミッタ領域を含むセル領域周囲の拡散を深くしたガードリング部と、前記ガードリング部の上部に形成し、かつ、前記セル領域の上部にはかからないパッシベーション膜と、前記第1導電型のバッファ層の下面に形成される第2導電型のコレクタ層と、前記コレクタ層に接続されるコレクタ電極と、前記パッシベーション膜に非接触となる高さで前記エミッタ電極に接続される金属平板の上部放熱部と、を備えた半導体装置のモジュール構造が提供される。

これにより、ガードリング部に発生する応力を低減し、耐圧低下とセル破壊を生じにくくすることができる。つまり、本発明によれば、パワー半導体素子の上面側にリードと放熱板を兼ね備えたストラップを装着することで起こるセル破壊やガードリング部に応力がかかることを原因とした耐圧低下を防ぐことが可能となる。

本発明においては、前記半導体装置のモジュール構造は、好ましくは、さらに、ダイオード部を備え、該ダイオード部の上部のカソード電極と前記上部放熱部が接続される。これにより、ガードリング部に発生する応力を低減し、耐圧低下とセル破壊や素子破壊が生じにくい半導体装置を形成することができる。

図面の簡単な説明

図1は、本発明の半導体装置のモジュール構造のうち、第1実施例に係るIGBTモジュールを示した断面図である。

図2は、第1実施例の半導体装置のモジュール構造をトレンチ構造にした例

- 6 -

を示した断面図である。

図 3 は、本発明の半導体装置のモジュール構造のうち、第 2 実施例に係るダイオードモジュールを示した断面図である。

図 4 は、本発明の第 3 実施例であって、第 1 実施例の I G B T モジュールと第 2 実施例のダイオードモジュールとから成る半導体装置のモジュール構造を示した断面図である。

図 5 は、従来の I G B T モジュールの構造を示した断面図である。

図 6 は、従来のダイオードモジュールの構造を示した断面図である。

発明を実施するための最良の形態

以下、本発明の幾つかの好適な実施例を添付図面に基づいて説明する。

図 1 は、本発明の第 1 実施例に係る半導体装置のモジュール構造の主要部を示す断面図である。この実施例では半導体装置として絶縁ゲート型バイポーラトランジスタ（I G B T）を用いている。I G B T モジュール 1 0 は、作動部 1 1 とガードリング部 1 2 を備えた半導体素子 1 3 を冷却する放熱板 1 4、1 5 を備えている。

放熱板 1 4、1 5 は、作動部 1 1 とガードリング部 1 2 の下部に設けられた絶縁体からなる基板 3 4 に接合した下部放熱板 1 4 と、作動部 1 1 上部のエミッタ電極 1 6 に金属 1 7、金属 1 8、および接着剤 1 9 を介して接合する部分とガードリング部 1 2 の上部に堆積されたパッシベーション膜 2 0 とは間隙 2 1 を設けて接合しない部分とを有する上部放熱板（ストラップ）1 5 から成る。

金属 1 7 と金属 1 8 は、エミッタ電極 1 6 と接着剤 1 9 の相関金属である。金属 1 8 は銀（A g）、金（A u）等である。金属 1 7 はニッケル（N i）、チタン／ニッケル（N i／T i）等である。

接着剤 1 9 は半田や導電性樹脂等である。パッシベーション膜 2 0 は、ポリイミド、窒化ケイ素（S i N）、酸化ケイ素（S i O）、酸窒化ケイ素（S i O N）、燐ガラス（P S G）、非ドーパケイ酸塩ガラス（N S G）、二酸化ケイ素（S i O₂）等からなっている。半導体素子 1 3 は絶縁ゲート型バイポーラトランジスタ（I G B T）からなる。

- 7 -

作動部 11 は、第 1 導電型（N 型）半導体の高抵抗層 22 とその下部に位置する第 1 導電型（N⁺型）半導体のバッファ層 23 と、第 1 導電型半導体の高抵抗層 22 の上部に形成された第 2 導電型（P⁺型）半導体のベース層 24 と、第 2 導電型半導体のベース層 24 の上部に形成された第 1 導電型（N 型）半導体のエミッタ領域 25 と、エミッタ領域 25 に接触されたエミッタ電極 16 と、第 2 導電型半導体のベース層 24 のチャネル領域上に絶縁体 26 で絶縁して形成されたゲート電極 27 とを備えている。第 1 導電型半導体のバッファ層 23 の下面には、第 2 導電型半導体のコレクタ層 28 が形成されている。コレクタ層 28 には、銀（Ag）や金（Au）等の金属 29b とニッケル（Ni）等の金属 29a からなるコレクタ電極 29 が接触されている。

ガードリング部 12 は、N 型半導体層 22 の上部に第 2 導電型（P 型）半導体層 30 が形成され、その上部に SiO₂ 等の絶縁層 31 が堆積されている。また、ガードリング部 12 の表面は、リーク電流抑制のために絶縁層 31 である SiO₂ が剥き出しにならないようにポリイミドや窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）等のパッシベーション膜 20 で覆われている。パッシベーション膜 20 は作動部 11 の上部を覆わない。参照番号 32 はゲート電極引き回し線である。

この半導体装置を構成する半導体は、例えば、シリコン（Si）であるが、それに限らずガリウムヒ素（GaAs）などの化合物半導体でもよい。エミッタ電極 16 はアルミニウムシリコン（AlSi）である。コレクタ電極 29 と基板 34 は半田 35 で接合されている。下部放熱板 14 はアルミニウムや銅等で形成される。上部放熱板（ストラップ）15 もアルミニウムや銅等で形成される。

基板 34 は両面に銅やアルミニウム等からなる金属薄板（図示せず）が接着されたアルミナや窒化アルミニウム、窒化ケイ素等からなる。基板 34 は半田等 37 により放熱板 14 上に接合される。コレクタ電極 29 は半田 35 等の導電性材料であって、基板 34 上の金属薄板に電氣的に接続されている。半導体素子 13 は基板 34 を介して下部放熱板 14 上に搭載される。上部放熱板（ストラップ）15 は基板 34 に半田 36 によって接合されている。

IGBT モジュール 10 は、下部放熱板 14 下で高熱伝導性のグリース等に

- 8 -

よってヒートシンク等の放熱器に接合されている。IGBTモジュール10の運転時に半導体素子（IGBT素子）13で発生する熱は、下部放熱板14と上部放熱板15を介して放熱器に伝導して放熱される。これによりIGBT素子13が冷却される。

このように構成されるIGBTモジュール10では、IGBT素子13で発生する熱は、コレクタ電極29側のIGBT素子13下面から基板34と下部放熱板14を介して放熱器に伝導される。

一方エミッタ電極16側のIGBT素子13上面では、上部放熱板15が接着剤19を介してIGBT素子13のエミッタ電極16に接合され、さらにこの上部放熱板15は半田36等により基板34に接合されている。上部放熱板15は断面積の大きな平板状であるため熱伝導路として用いられる。IGBT素子13で発生した熱は、IGBT素子13のエミッタ電極16側のIGBT素子13上面からも、接着剤19、上部放熱板15、基板34および下部放熱板14を介して放熱器に伝導される。

このように、IGBT素子13で発生する熱は、IGBT13のエミッタ電極16側、コレクタ電極29側の両側から放熱器へ伝導するので、従来のIGBTモジュールのようにIGBT素子13のコレクタ電極29側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これによりIGBTモジュール10の冷却性能が向上し、IGBT素子13の発熱温度を低減することができる。また、上部放熱板15は金属で構成されているため、IGBT素子13からの放熱を担うだけでなく、IGBT素子13とエミッタ用の外部電極端子（図示せず）間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

さらに、上記上部放熱板15は、ガードリング部12上部のパッシベーション膜20との間に間隙21があり、パッシベーション膜20と接合していないので、温度上昇があったときの上部放熱板15の膨張とパッシベーション膜20、ガードリング部12の熱膨張が異なってもガードリング部12のN型高抵抗層22やP型半導体層30、N⁺型バッファ層23、コレクタ層28が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板でのクラックの発生を抑

- 9 -

えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜 20 はガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起こりにくくなり、セル破壊を低減することができる。

上記のような構造は、図 2 で示すようなトレンチ構造の素子に対しても用いることができる。図 2 は、本発明をトレンチ構造のデバイスに適用したものである。セル領域（作動部 11）の構造は異なるが、この発明の要部である、セル領域上にパッシベーション膜 20 を備えない点と、上部放熱板がパッシベーション膜に非接触のため、ストレスを与えない点は同様である。また、図 2 における符号は、図 1 での構造と同様の機能を有する部材に同様の符号を付している。

図 3 は、本発明の第 2 実施例に係る半導体装置のモジュール構造を示す断面図である。この実施例では、半導体装置を構成する半導体素子はダイオードである。ダイオードモジュール 40 は、作動部 41 とガードリング部 42 を備えた半導体素子 43 を冷却する放熱板 44、45 を備えている。

放熱板 44、45 は、作動部 41 とガードリング部 42 の下部に設けられた絶縁体からなる基板 58 に接合した下部放熱板 44 と、作動部 41 の上部のカソード電極 46 に金属 47、金属 48、および接着剤 49 を介して接合する部分と、ガードリング部 42 の上部に堆積されたパッシベーション膜 50 とは間隙 51 を設けて接合しない上部放熱板（ストラップ）45 とから成る。

金属 47 と金属 48 は、カソード電極 46 と接着剤 49 の相関金属である。金属 47 は銀（Ag）、金（Au）等である。金属 48 はニッケル（Ni）、チタン／ニッケル（Ni/Ti）等である。

接着剤 49 は半田や導電性樹脂等である。パッシベーション膜 50 はポリイミド、窒化ケイ素（SiN）、酸化ケイ素（SiO）、酸窒化ケイ素（SiON）、燐ガラス（PSG）、非ドーパケイ酸塩ガラス（NSG）、二酸化ケイ素（SiO₂）等からなっている。半導体素子 43 はダイオードからなる。

作動部 41 は、第 1 導電型（N 型）半導体の高抵抗層 52 と、その下部に位置する第 1 導電型（N⁺ 型）の半導体層 53 と、第 1 導電型（N 型）半導体の高抵抗層 52 の上部に形成された第 2 導電型（P⁺ 型）の半導体層 54 と、第 2 導

電型の半導体層 5 4 に接触されたカソード電極 4 6 と、第 1 導電型の半導体層 5 3 に接触された銀 (A g) や金 (A u) 等の金属 5 5 b とニッケル (N i) 等の金属 5 5 a からなるアノード電極 5 5 を備えている。

ガードリング部 4 2 は、N 型半導体層 5 2 の上部に第 2 導電型 (P 型) 半導体層 5 6 が形成され、その上部に S i O₂ 等の絶縁層 5 7 が堆積されている。ガードリング部 4 2 の表面は、リーク電流抑制のために絶縁層 5 7 である S i O₂ が剥き出しにならないようにポリイミドや窒化ケイ素 (S i N)、酸化ケイ素 (S i O)、酸窒化ケイ素 (S i O N)、燐ガラス (P S G)、非ドーピングケイ酸塩ガラス (N S G)、二酸化ケイ素 (S i O₂) 等のパッシベーション膜 5 0 で覆われている。パッシベーション膜 5 0 は作動部 4 1 の上部を覆わない。

この半導体装置を構成する半導体は、例えば、シリコン (S i) であるが、それに限らずガリウムヒ素 (G a A s) などの化合物半導体でもよい。カソード電極 4 6 は、アルミニウムシリコン (A l S i) である。アノード電極 5 5 と基板 5 8 は半田 5 9 a で接合されている。下部放熱板 4 4 はアルミニウムや銅等で形成される。上部放熱板 (ストラップ) 4 5 もアルミニウムや銅等で形成される。

基板 5 8 は両面に銅等からなる金属薄板 (図示せず) が接着されたアルミナや窒化アルミニウム等からなる。基板 5 8 は半田等により下部放熱板 4 4 上に接合される。アノード電極 5 5 は半田 5 9 a 等の導電性材料で基板 5 8 上の金属薄板に電氣的に接続されている。半導体素子 4 3 は基板 5 8 を介して下部放熱板 4 4 上に搭載される。上部放熱板 (ストラップ) 4 5 は基板 5 8 に半田 5 9 b によって接合されている。

ダイオードモジュール 4 0 は、下部放熱板 4 4 下で高熱伝導性のグリース等によってヒートシンク等の放熱器に接合されている。ダイオードモジュールの運転時に半導体素子 (ダイオード素子) 4 3 で発生する熱は、下部放熱板 4 4 と上部放熱板 4 5 を介して放熱器に伝導して放熱される。これによりダイオード素子 4 3 は冷却される。

このように構成されるダイオードモジュール 4 0 においては、ダイオード素子 4 3 で発生する熱は、アノード電極 5 5 側のダイオード素子 4 3 下面から基板 5 8 と下部放熱板 4 4 を介して放熱器に伝導される。

一方、カソード電極 4 6 側のダイオード素子 4 3 上面においては、上部放熱板 4 5 は接着剤 4 9 を介してダイオード素子 4 3 のカソード電極 4 6 に接合されている。この上部放熱板 4 5 は半田 5 9 b 等により基板 5 8 に接合されている。上部放熱板 4 5 は断面積の大きな平板状であるため熱伝導路として用いられる。ダイオード素子 4 3 で発生する熱は、ダイオード素子 4 3 のカソード電極 4 6 側のダイオード素子 4 3 上面からも、接着剤 4 9、上部放熱板 4 5、基板 5 8 および下部放熱板 4 4 を介して放熱器に伝導される。

このように、ダイオード素子 4 3 で発生した熱は、ダイオード 4 3 のカソード電極 4 6 側、アノード電極 5 5 側の両側から放熱器へ伝導するので、従来のダイオードモジュールのようにダイオード素子 4 3 のアノード電極 5 5 側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これによりダイオードモジュール 4 0 の冷却性能が向上し、ダイオード素子 4 3 の発熱温度を低減することができる。また、上部放熱板 4 5 は金属で構成されているため、ダイオード素子 4 3 からの放熱を担うだけでなく、ダイオード素子 4 3 とカソード用の外部電極端子（図示せず）間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

さらに、上記上部放熱板 4 5 は、ガードリング部 4 2 上部のパッシベーション膜 5 0 との間に間隙 5 1 があり、パッシベーション膜 5 0 と接合していないので、温度上昇があったときの上部放熱板 4 5 の膨張とパッシベーション膜 5 0、ガードリング部 4 2 の熱膨張が異なってもガードリング部 4 2 の N 型高抵抗層 5 2 や P 型半導体層 5 6、N⁺型半導体層 5 3 が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板にはクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜 5 0 がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起きにくくなり、セル破壊を低減することができる。

図 4 は、本発明の第 3 実施例に係る半導体装置のモジュール構造の主要部を示す断面図である。この実施例での半導体装置モジュール 6 0 は、絶縁ゲート型バイポーラトランジスタ（I G B T）とダイオードを有している。I G B T 素子

は第 1 実施例で説明した構造と同様であるので、図 1 で示したものと同様の符号を付し、ダイオード素子は、第 2 実施例で説明した構造と同様であるので、図 3 で示したものと同様の符号を付してそれらの素子構造の詳細な説明は省略する。

簡単に説明すると、第 3 実施例の半導体装置モジュール 60 は、半導体素子（I G B T 素子）13 と半導体素子（ダイオード素子）43 を冷却する放熱板 61、62 を備えている。放熱板 61、62 は、半導体素子 13、43 の下部に設けられた下部放熱板 61 と、作動部 11、41 の上部の電極 16、46 と接合する部分とガードリング部 12、42 の上部に堆積されたパッシベーション膜 20、50 とは接合しない部分とを有する上部放熱板 62 から成っている。

半導体装置モジュール 60 は、下部放熱板 61 下で高熱伝導性のグリース等によってヒートシンク等の放熱器に接合されている。半導体装置モジュール 60 の運転時に I G B T 素子 13 とダイオード素子 43 で発生した熱は、下部放熱板 61 と上部放熱板 62 を介して放熱器に伝導して放熱される。これにより I G B T 素子 13 およびダイオード素子 43 は冷却される。

このように構成される半導体装置モジュール 60 では、I G B T 素子 13 とダイオード素子 43 で発生した熱は、コレクタ電極 29 側の I G B T 素子 13 下面から基板 34 と下部放熱板 61 を介して放熱器に伝導され、また、アノード電極 55 側のダイオード素子 43 下面から基板 58 と下部放熱板 61 を介して放熱器に伝導される。

一方、エミッタ電極 16 側の I G B T 素子 13 上面においては、上部放熱板 62 は接着剤 19 を介して I G B T 素子 13 のエミッタ電極 16 に接合されている。カソード電極 46 側のダイオード素子 43 上面においては、上部放熱板 62 は接着剤 49 を介してダイオード素子 43 のカソード電極 46 に接合されている。

上記上部放熱板 62 は半田等 63 により基板に接合されている。上部放熱板 62 は断面積の大きな平板状であるため熱伝導路として用いられる。I G B T 素子 13 で発生する熱は、I G B T 素子 13 のエミッタ電極 16 側の I G B T 素子 13 上面からも、接着剤 19、上部放熱板 62、基板 58 および下部放熱板 61 を介して放熱器に伝導される。ダイオード素子 43 で発生する熱は、ダイオード

素子 4 3 のカソード電極 4 6 側のダイオード素子 4 3 上面からも、接着剤 4 9、上部放熱板 6 2、基板 5 8 および下部放熱板 6 1 を介して放熱器に伝導される。

このように、I G B T 素子 1 3 で発生した熱は、I G B T 1 3 のエミッタ電極 1 6 側、コレクタ電極 2 9 側の両側から放熱器へ伝導される。ダイオード素子 4 3 で発生した熱は、ダイオード 4 3 のカソード電極 4 6 側、アノード電極 5 5 側の両側から放熱器へ伝導される。このため、従来の半導体装置モジュールのように I G B T 素子のコレクタ電極側と、ダイオード素子のアノード電極側からのみ放熱器へ伝導するものに比べて、熱伝導路が増加するため熱抵抗が低減する。これにより半導体装置モジュールの冷却性能が向上し、I G B T 素子 1 3 とダイオード素子 4 3 の発熱温度を低減することができる。また、上部放熱板 6 2 を金属で構成したため、I G B T 素子 1 3 とダイオード素子 4 3 からの放熱を担うだけでなく、I G B T 素子 1 3 とエミッタ用の外部電極端子間を接続し、また、ダイオード素子 4 3 とカソード用の外部電極端子間を接続する電氣的配線の一部を構成し、電氣的配線として用いられる。

上部放熱板 6 2 は、ガードリング部 1 2 上部のパッシベーション膜 2 0 との間に間隙 2 1 があり、パッシベーション膜 2 0 と接合していないので、温度上昇があったときの上部放熱板 6 2 の膨張とパッシベーション膜 2 0、ガードリング部 1 2 の熱膨張が異なってもガードリング部 1 2 の N 型高抵抗層 2 2 や P 型半導体層 3 0、N⁺型バッファ層 2 3、コレクタ層 2 8 が形成されたシリコン基板に熱応力が発生せず、そのシリコン基板でのクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パッシベーション膜 2 0 がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起こりにくくなり、セル破壊を低減することができる。

さらに、上部放熱板 6 2 は、ガードリング部 4 2 上部のパッシベーション膜 5 0 との間に間隙 5 1 があり、パッシベーション膜 5 0 と接合していないので、温度上昇があったときの上部放熱板 6 2 の膨張とパッシベーション膜 5 0、ガードリング部 4 2 の熱膨張が異なってもガードリング部 4 2 の N 型高抵抗層 5 2 や P 型半導体層 5 6、N⁺型半導体層 5 3 が形成されたシリコン基板に熱応力

- 14 -

が発生せず、そのシリコン基板にはクラックの発生を抑えることができ、クラック発生による耐圧低下を避けることができる。また、パシベーション膜50がガードリング部上部だけにあるのでジュール熱による半導体内部の温度の不均一性を避けることができるので、ラッチアップが起きにくくなり、素子破壊を低減することができる。

本実施例においては、第1導電型半導体としてN型半導体を用い、第2導電型半導体としてP型半導体を用いて説明したが、それに限らず、第1導電型半導体としてP型半導体を用い、第2導電型半導体としてN型半導体を用いるようにしても良い。

産業上の利用可能性

以上のように、本発明によれば、半導体素子の上面側にリードと放熱板を兼ね備えたストラップを装着することで、熱応力により起こるセル破壊、素子破壊やガードリング部に応力がかかることを原因とした耐圧低下を防ぐことが可能となるため、大電流が流れるパワー半導体モジュールなどのパワーデバイスに有用である。

- 15 -

請 求 の 範 囲

1. 半導体装置のモジュール構造であって、
第 1 導電型の高抵抗層と、
前記第 1 導電型の高抵抗層の上部に形成された第 2 導電型のベース層と、
前記第 2 導電型のベース層の上部に形成された第 1 導電型のエミッタ領域と、
前記エミッタ領域に接続されるエミッタ電極と、
前記第 2 導電型のベース層に隣接して絶縁されたゲート電極と、
前記エミッタ領域を含むセル領域周囲の拡散を深くしたガードリング部と、
前記ガードリング部の上部に形成し、かつ、前記セル領域の上部にはかからないパッシベーション膜と、
前記第 1 導電型のバッファ層の下面に形成される第 2 導電型のコレクタ層と、
前記コレクタ層に接続されるコレクタ電極と、
前記パッシベーション膜に非接触となる高さで前記エミッタ電極に接続される金属平板の上部放熱部と、
を備えた半導体装置のモジュール構造。
2. 前記半導体装置のモジュール構造は、さらに、ダイオード部を備え、該ダイオード部の上部のカソード電極と前記上部放熱部とが接続されていることを特徴とする請求項 1 に記載の半導体装置のモジュール構造。

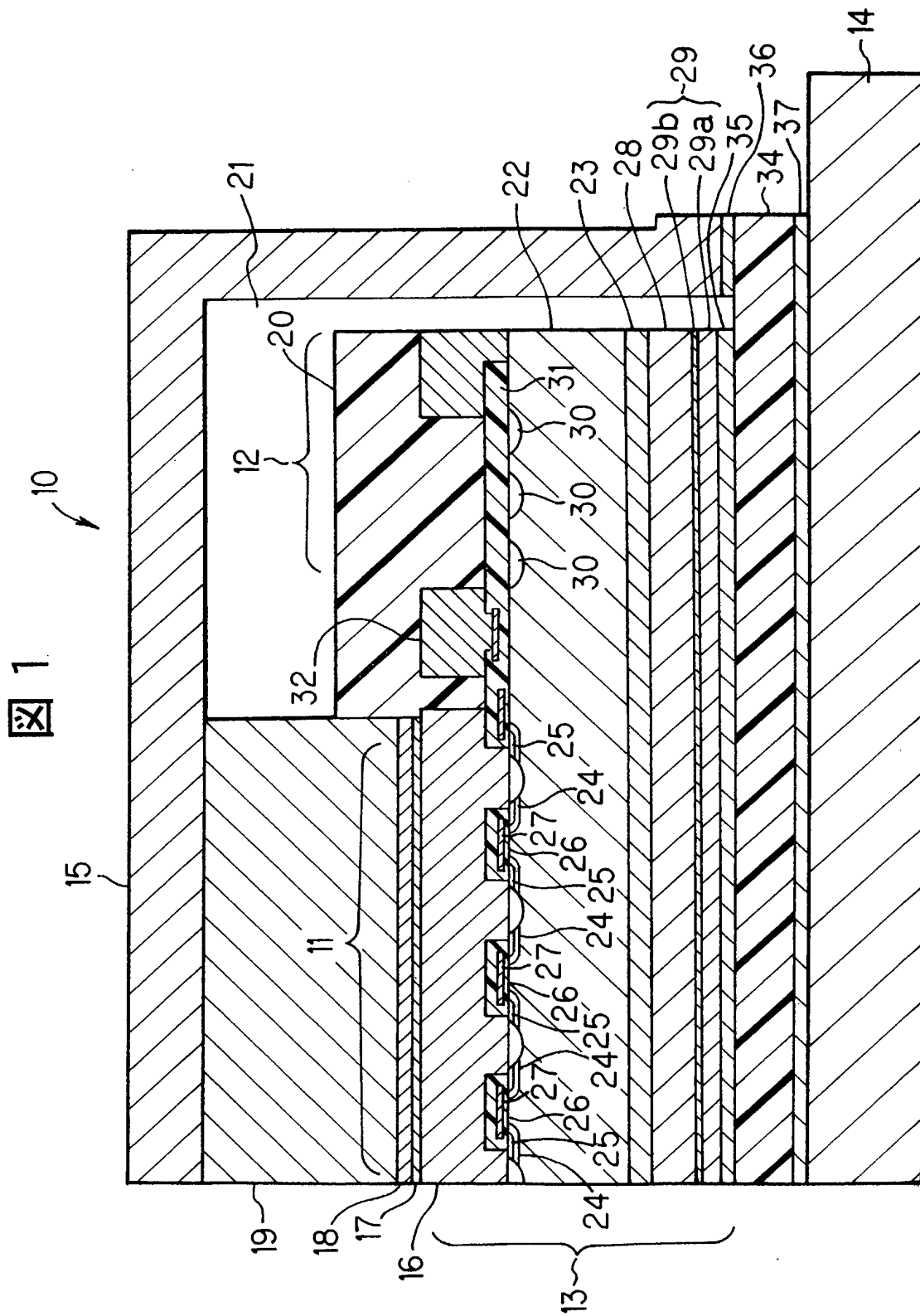


図 2

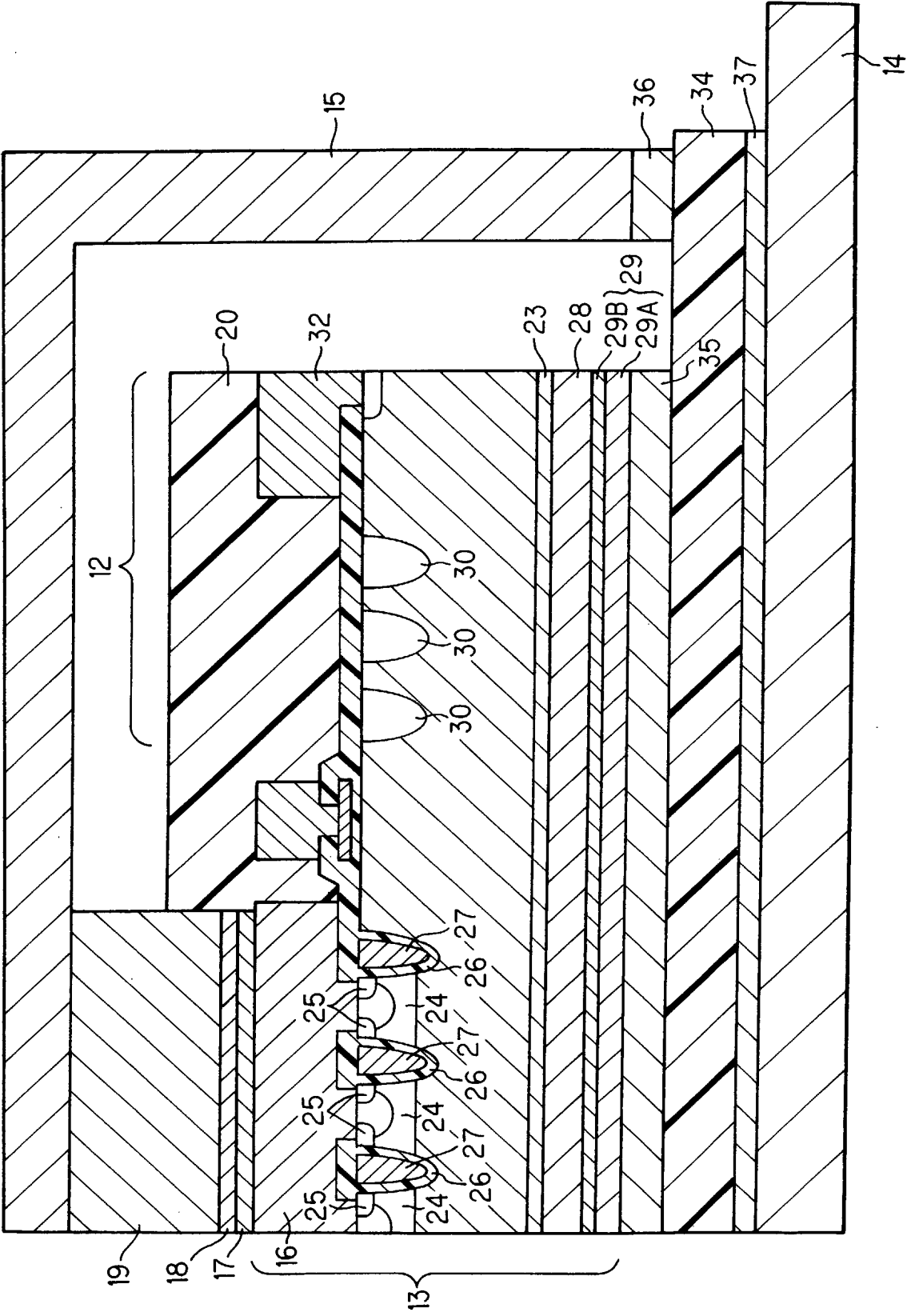


図 3

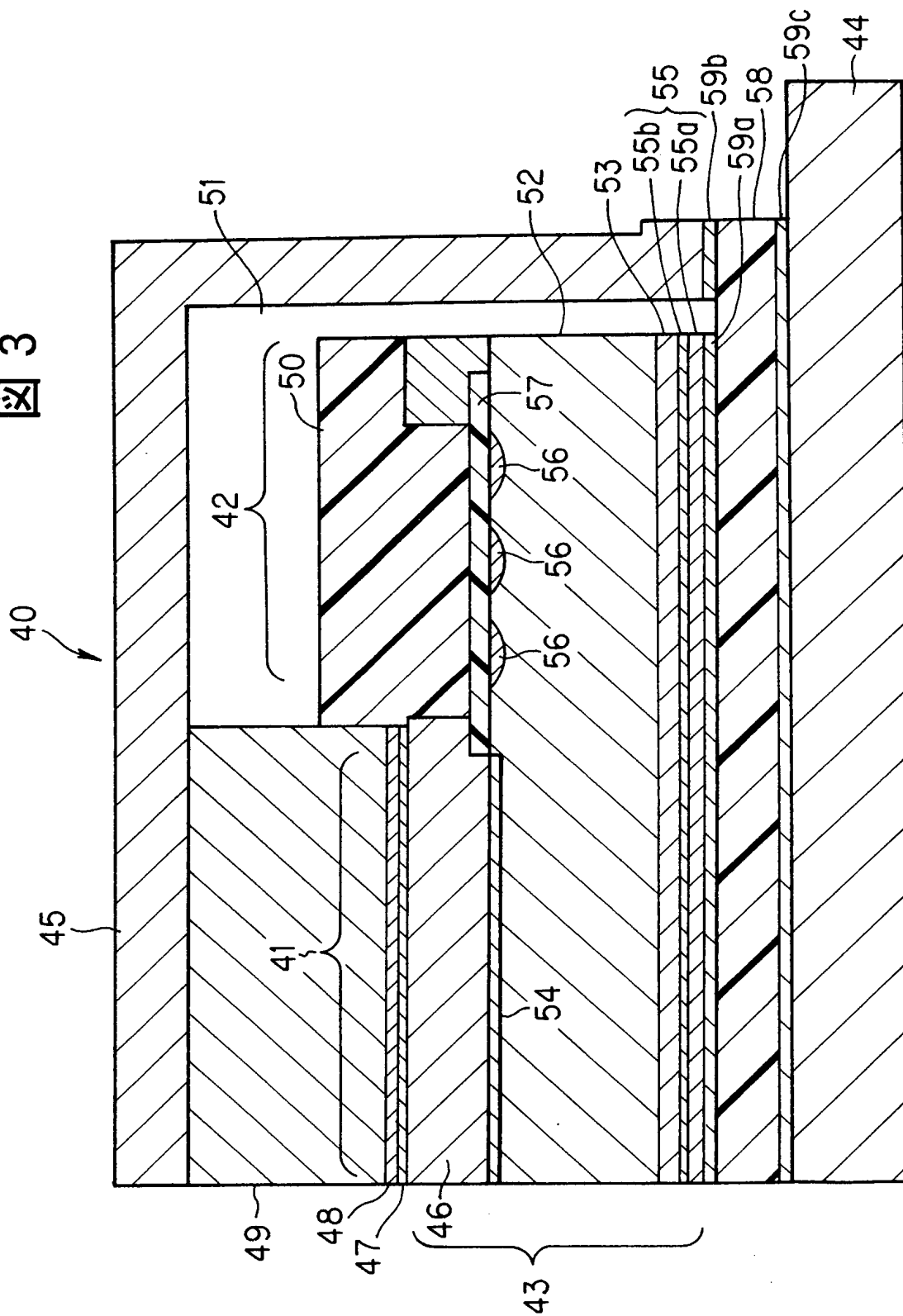


図 5
(先行技術)

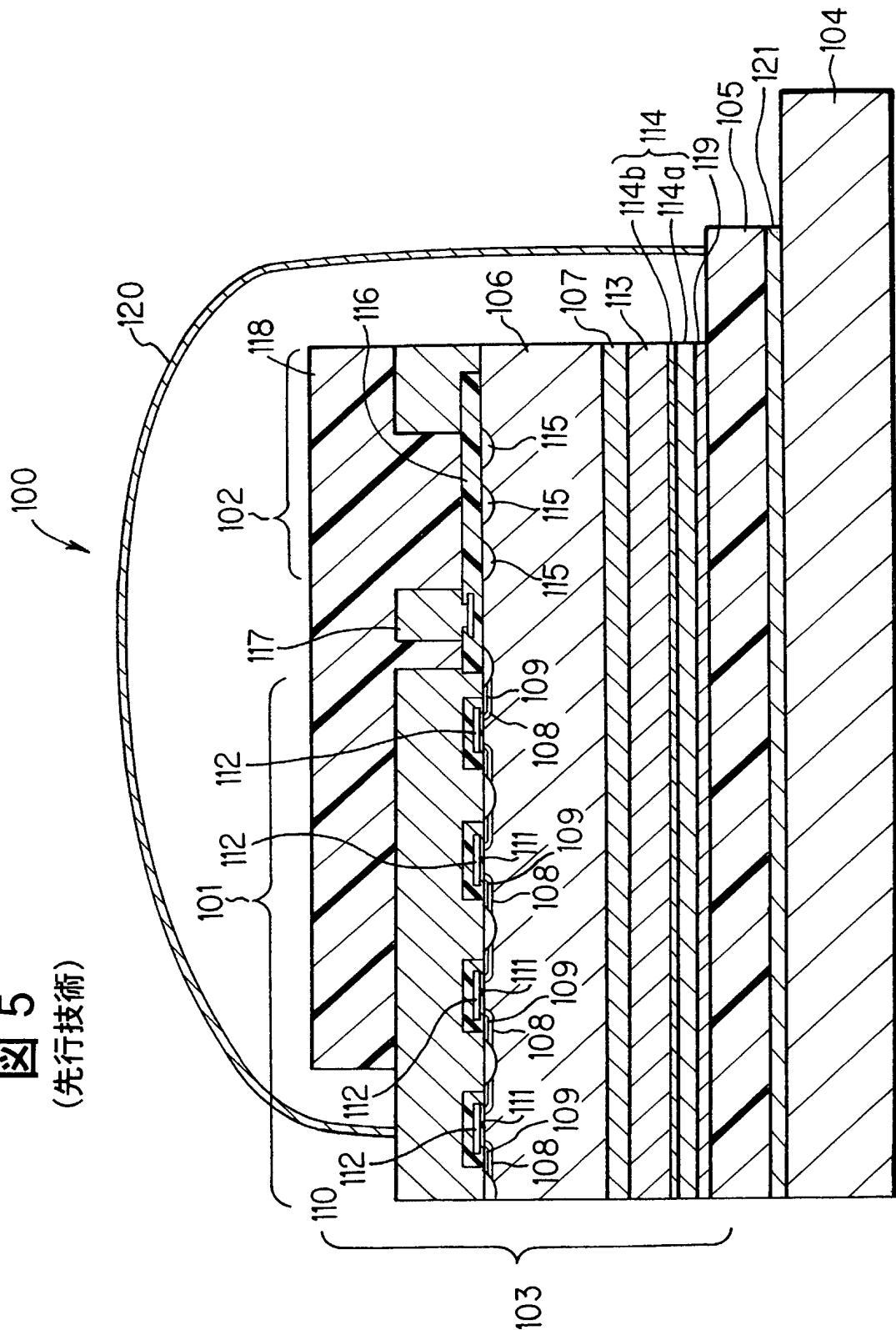
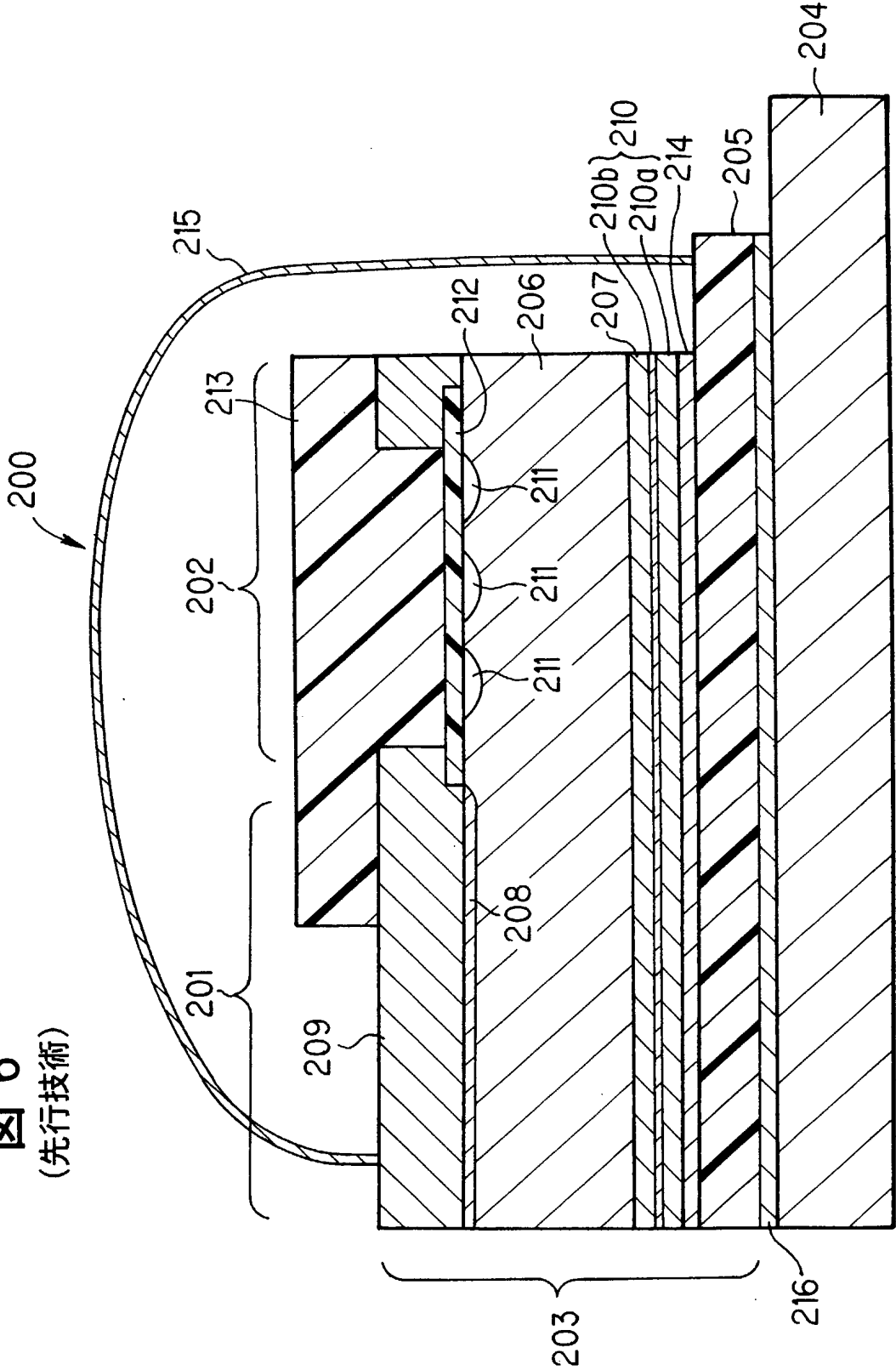


図 6
(先行技術)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018102

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, H01L23/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/78, H01L23/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/0022464 A1 (Yutaka FUKUDA), 30 January, 2003 (30.01.03), Full text; all drawings & JP 2003-282589 A Full text; all drawings & DE 010234155 A & CN 001400657 A	1-2
A	US 2003/0052400 A1 (Yasushi OKUDA), 20 March, 2003 (20.03.03), Full text; all drawings & JP 2003-133329 A Full text; all drawings & DE 010236455 A	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 February, 2005 (15.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L29/78, H01L23/48		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L29/78, H01L23/48		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国登録実用新案公報 1994-2005年 日本国実用新案登録公報 1996-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 2003/0022464 A1 (Yutaka FUKUDA) 2003. 01. 30, 全文, 全図 & JP 2003-282589 A, 全文, 全図 & DE 010234155 A & CN 001400657 A	1-2
A	US 2003/0052400 A1 (Yasushi OKURA) 2003. 03. 20, 全文, 全図 & JP 2003-133329 A, 全文, 全図 & DE 010236455 A	1-2
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
15. 02. 2005	01. 3. 2005	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4 L 8 4 2 7
日本国特許庁 (ISA/J P)	小野田 誠	
郵便番号100-8915	電話番号 03-3581-1101	内線 3462
東京都千代田区霞が関三丁目4番3号		